

40295

(43)公開日 平成7年(1995)12月22日

審査請求 未請求 請求項の数7 O.L (全 7 頁)

(21)出願番号 特願平6-126115

(22)出願日 平成6年(1994)6月8日

(71)出願人 000004260
日本電装株式会社
愛知県刈谷市昭和町1丁目1番地

(72)発明者 大川 誠
愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

(72)発明者 飯田 眞喜男
愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

(72)発明者 鈴木 幹昌
愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

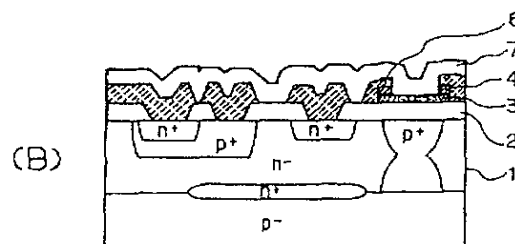
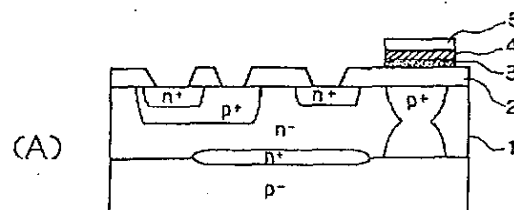
(74)代理人 弁理士 伊藤 洋二

(54) 【発明の名称】 薄膜抵抗体を有する半導体装置の製造方法

(57) 【要約】

【目的】 コンタクトホール形成後に薄膜抵抗体のパターンニングを行い工程の簡素化を図るとともに、薄膜抵抗体をケミカルドライエッチングによりパターンニングしてコンタクト領域へのダメージを与えずに薄膜抵抗体を形成する。

【構成】 シリコンの半導体基板 1 内に半導体素子を形成し、この半導体基板 1 の表面に酸化膜 2 を形成する。そして、この酸化膜 2 にコンタクトホールを形成し、その酸化膜 2 上に薄膜抵抗体としての CrSiN 膜 3 およびバリヤメタルとしての TiW 膜 4 を形成する。この TiW 膜 4 をマスク 5 によりパターニングするとともに、CrSiN 膜 3 をケミカルドライエッチングによりパターニングする。最後に、コンタクトホールを介した半導体素子および CrSiN 膜 3 に Al 電極 6 を形成するとともに保護膜 7 を形成する。



【特許請求の範囲】

【請求項1】 半導体基板内に半導体素子を形成する工程と、
前記半導体基板の表面に絶縁膜を形成する工程と、
この絶縁膜にコンタクトホールを形成する工程と、
前記コンタクトホールが形成された前記絶縁膜上に薄膜抵抗体を形成する工程と、
この薄膜抵抗体をケミカルドライエッチングによりパターンニングする工程と、
前記コンタクトホールを介した前記半導体素子および前記薄膜抵抗体に電極を形成する工程と
を有することを特徴とする薄膜抵抗体を有する半導体装置の製造方法。

【請求項2】 前記コンタクトホールを形成する工程は、ウェットエッチングによりコンタクトホールを形成する工程であることを特徴とする請求項1に記載の薄膜抵抗体を有する半導体装置の製造方法。

【請求項3】 前記コンタクトホールを形成する工程は、ドライエッチングによりコンタクトホールを形成する工程であることを特徴とする請求項1に記載の薄膜抵抗体を有する半導体装置の製造方法。

【請求項4】 半導体基板内に半導体素子を形成する工程と、
前記半導体基板の表面に絶縁膜を形成する工程と、
この絶縁膜にコンタクトホールをドライエッチングにより形成する工程と、
前記コンタクトホールの上部に丸みを付けるためにアニール処理を行う工程と、
このアニール処理後に前記絶縁膜上に薄膜抵抗体を形成する工程と、
この薄膜抵抗体をケミカルドライエッチングによりパターンニングする工程と、
前記コンタクトホールを介した前記半導体素子および前記薄膜抵抗体に電極を形成する工程と
を有することを特徴とする薄膜抵抗体を有する半導体装置の製造方法。

【請求項5】 半導体基板内に半導体素子を形成する工程と、
前記半導体基板の表面に絶縁膜を形成する工程と、
この絶縁膜にコンタクトホールを形成する工程と、
前記コンタクトホールが形成された前記絶縁膜上に薄膜抵抗体を形成する工程と、
前記薄膜抵抗体上にバリヤメタルを形成する工程と、
このバリヤメタル上にマスクを形成する工程と、
このマスクを用いて前記バリヤメタルをウェットエッチングによりパターンニングする工程と、
前記薄膜抵抗体を前記マスクを用いてケミカルドライエッチングによりパターンニングする工程と、
前記コンタクトホールを介した前記半導体素子および前記薄膜抵抗体に電極を形成する工程とを有することを特

徴とする薄膜抵抗体を有する半導体装置の製造方法。

【請求項6】 さらに、前記バリヤメタルのパターンニング工程の後に、前記薄膜抵抗体上をライトエッチングする工程を有し、このライトエッチング後に前記薄膜抵抗体をケミカルドライエッチングすることを特徴とする請求項5に記載の薄膜抵抗体を有する半導体装置の製造方法。

【請求項7】 前記薄膜抵抗体を形成する工程は、Cr及びSiを含む化合物からなる薄膜抵抗体を形成する工程であることを特徴とする請求項1乃至6のいずれか1つに記載の薄膜抵抗体を有する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜抵抗体を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】従来、CrSi化合物等の薄膜抵抗体をIC回路上に集積化したものが種々提案されている。

(1) このものの代表的な製造方法について概略説明する。まず、図4(A)に示すように、半導体基板1に、図に示すような半導体素子を形成した後、基板1の表面に酸化膜2を形成する。そして、ダミーコンタクトホールをウェットエッチングにより形成(図4(B))し、基板1の表面を熱酸化する(図4(C))。この時、ダミーコンタクトホールには薄い酸化膜2aが形成される。その後、薄膜抵抗体としてのCrSiN膜3およびバリヤメタルとしてのチタンタングステン(TiW)膜4を形成(図4(D))し、さらにホトレジスト5を堆積してマスクを形成した後、抵抗領域を残すようにTiW膜4をパターンニングし、さらにCrSiN膜3をブラズマドライエッチング法にてエッチングする(図5(A))。そして、ホトレジストを形成してコンタクトホール内の薄い酸化膜2aをウェットエッチングにより除去し、コンタクトホールを形成する(図5(B))。最後に、図5(C)に示すように、Al電極5および保護膜7を形成し、半導体装置を構成する。

【0003】上記のようにダミーコンタクトホールを形成している理由は、コンタクトホール形成時のレジスト浮きの問題をなくすためである。すなわち、ダミーコンタクトホールを形成せずに、コンタクトホールを図5

(A)の工程の後に形成する場合、まずホトレジスト8を図6(A)に示すように形成する。この場合、その前の工程にて行われるCrSiN膜3のエッチング時に表面荒れが生じているため、そのホトレジスト8の密着性が低下し、ホトレジスト8が剥がれ等により浮いた状態になる。このため、コンタクトホールをウェットエッチングにより形成するために厚い酸化膜2をエッチングすると、図6(B)に示すようにコンタクトホールが広がり、コンタクトホールがp-n接合上にかかるようになってしまう。

【0004】このため、CrSiN膜3の形成前に予めコンタクトホール形成部分の酸化膜を薄く（約200Å）しておき、その後のコンタクトホール形成時に上記したレジスト浮きの問題をなくすようにしている。このようなダミーコンタクトホールの形成と、その後のコンタクトホール形成を行うことは、工程数の増加を招くため好ましくなく、従ってコンタクトホールを先に形成しておき、その後にCrSiN膜3の形成を行うようにできれば工程の簡素化を図ることができる。

【0005】(2) また、上記のようにコンタクトホールをウェットエッチングではなく、ドライエッチングにより形成することが考えられている。これは、配線パターンの微細化への対応として、コンタクトホールの微細化を行うためである。この場合、ドライエッチング後に、そのまま電極を形成しようとする、ステップカバレッジが悪く、ときには配線に断線が生じることがある。その対策として、900°C前後でアニールしてコンタクトホール上部に丸みを付けて電極のステップカバレッジを改善することが考えられる。

【0006】しかしながら、そのアニールによりCrSiN膜3の特性が変化してしまうという問題が発生することが分かった。すなわち、図7に示すように、室温25°Cの時の抵抗値R25に対する温度Tの時の抵抗値変化量 ΔR が、 $\Delta R/R25 = \alpha(T-25) + \beta(T-25)^2$ で表されるが、その温度係数 α 、 β が図に示すように、500°C以上において変化し、TCRが変動してしまうという問題が生じる。

【0007】このため、このようなドライエッチングによるコンタクトホールの形成に対しても、コンタクトホール形成後にCrSiN膜3の形成を行う必要がある。

(3) このようにコンタクトホール形成後にCrSiN膜3を形成するようにした場合、CrSiN膜3をエッチング方法としては、ウェットエッチングとドライエッチングの2種類の方法が考えられるが、ウェットエッチングではCrSiN膜3のエッチングバラツキが大きいという問題があるため、ドライエッチングを行う方法が有望である。

【0008】しかしながら、通常のプラズマを使ったドライエッチングでは、薄膜抵抗体形成時に素子領域のコンタクト部分（コンタクト領域）にダメージが入る、具体的にはプラズマを使った通常のドライエッチングは、プラズマとラジカルによる物理的エッチングと化学的エッチングの両方によるものとなるため、そのプラズマがコンタクトホールにより露出した素子領域に衝突し、素子欠陥を生じさせることがある。この素子欠陥により、電極とのコンタクトが不十分となり、オープン等の接触不良を生じる。

【0009】

【発明が解決しようとする課題】本発明は上記問題に鑑みてなされたもので、コンタクトホール形成後に薄膜抵

抗体の形成を行い、上記従来のようなダミーコンタクトホールの形成をなくして工程の簡素化を図るとともに、コンタクト領域へのダメージを与えずに薄膜抵抗体を形成することを第1の目的とする。

【0010】また、コンタクトホールをドライエッチングにより形成し、その後にコンタクト領域へダメージを与えずに薄膜抵抗体の形成を行い、上記工程の簡素化に加えて微細パターンへの薄膜抵抗体の集積化を図ることを第2の目的とする。

【0011】

【課題を解決するための手段】本発明は上記目的を達成するため、請求項1に記載の発明においては、半導体基板(1)内に半導体素子を形成する工程と、前記半導体基板(1)の表面に絶縁膜(2)を形成する工程と、この絶縁膜(2)にコンタクトホールを形成する工程と、前記コンタクトホールが形成された前記絶縁膜(2)上に薄膜抵抗体(3)を形成する工程と、この薄膜抵抗体(3)をケミカルドライエッチングによりパターンニングする工程と、前記コンタクトホールを介した前記半導体素子および前記薄膜抵抗体(3)に電極(6)を形成する工程とを有することを特徴としている。

【0012】請求項2に記載の発明では、請求項1に記載の発明において、前記コンタクトホールを形成する工程は、ウェットエッチングによりコンタクトホールを形成する工程であることを特徴としている。請求項3に記載の発明では、請求項1に記載の発明において、前記コンタクトホールを形成する工程は、ドライエッチングによりコンタクトホールを形成する工程であることを特徴としている。

【0013】請求項4に記載の発明においては、半導体基板(1)内に半導体素子を形成する工程と、前記半導体基板(1)の表面に絶縁膜(2)を形成する工程と、この絶縁膜(2)にコンタクトホールをドライエッチングにより形成する工程と、前記コンタクトホール上部に丸みを付けるためにアニール処理を行う工程と、このアニール処理後に前記絶縁膜(2)上に薄膜抵抗体(3)を形成する工程と、この薄膜抵抗体(3)をケミカルドライエッチングによりパターンニングする工程と、前記コンタクトホールを介した前記半導体素子(1)および前記薄膜抵抗体(3)に電極(6)を形成する工程とを有することを特徴としている。

【0014】請求項5に記載の発明においては、半導体基板(1)内に半導体素子を形成する工程と、前記半導体基板(1)の表面に絶縁膜(2)を形成する工程と、この絶縁膜(2)にコンタクトホールを形成する工程と、前記コンタクトホールが形成された前記絶縁膜(2)上に薄膜抵抗体(3)を形成する工程と、前記薄膜抵抗体(3)上にバリヤメタル(4)を形成する工程と、このバリヤメタル(4)上にマスク(5)を形成する工程と、このマスク(5)を用いて前記バリヤメタル(4)をウェットエッチングに

よりパターニングする工程と、前記薄膜抵抗体(3)を前記マスク(4)を用いてケミカルドライエッチングによりパターニングする工程と、前記コンタクトホールを介した前記半導体素子および前記薄膜抵抗体(3)に電極(6)を形成する工程とを有することを特徴としている。

【0015】請求項6に記載の発明では、請求項5に記載の発明において、さらに、前記バリアメタル(4)のパターニング工程の後に、前記薄膜抵抗体(3)上をライトエッチングする工程を有し、このライトエッチング後に前記薄膜抵抗体(3)をケミカルドライエッチングすることを特徴としている。請求項7に記載の発明では、請求項1乃至6のいずれか1つに記載の発明において、前記薄膜抵抗体(3)を形成する工程は、Cr及びSiを含む化合物からなる薄膜抵抗体(3)を形成する工程であることを特徴としている。

【0016】なお、上記各カッコ内の符号は、後述する実施例記載の具体的構成との対応関係を示すものである。

【0017】

【発明の作用効果】請求項1に記載の発明においては、半導体基板内に半導体素子を形成し、この半導体基板の表面に絶縁膜を形成する。そして、この絶縁膜にコンタクトホールを形成し、その絶縁膜上に薄膜抵抗体を形成する。この薄膜抵抗体をケミカルドライエッチングによりパターニングし、その後、コンタクトホールを介した半導体素子および薄膜抵抗体に電極を形成する。

【0018】従って、コンタクトホール形成後に薄膜抵抗体のパターニングを行うようにしているから、従来のようなダミーコンタクトホールの形成をなくして工程の簡素化を図ることができ、しかも薄膜抵抗体をケミカルドライエッチングによりパターニングしているから、コンタクト領域へのダメージを与えずに薄膜抵抗体の形成を行うことができる。

【0019】なお、上記コンタクトホールの形成は、請求項2に記載のようにウェットエッチングにより行う、あるいは請求項3に記載のようにドライエッチングにより行うことができる。また、請求項4に記載の発明においては、ドライエッチングでコンタクトホールを形成し、その後アニール処理してコンタクトホールの上部に丸みを付け、このアニール後に薄膜抵抗体をケミカルドライエッチングによりパターニングするようにしている。

【0020】従って、上記工程の簡素化に加え、ドライエッチングによるコンタクトホールの形成にて微細パターンへの薄膜抵抗体の集積化を可能とすることができる。また、その際、コンタクトホールの上部に丸みを付けるためのアニール後に薄膜抵抗体を形成しているから、アニールによる薄膜抵抗体の特性変化を防ぐことができる。さらに、ケミカルドライエッチングによる薄膜抵抗体のパターニングにてコンタクト領域へのダメージ

を与えずに薄膜抵抗体の形成を行うことができる。

【0021】請求項5に記載の発明においては、薄膜抵抗体上にバリアメタルを形成するとともに、マスクを用いてバリアメタルをウェットエッチングによりパターニングし、さらに薄膜抵抗体をケミカルドライエッチングによりパターニングするようにしている。従って、バリアメタルを介在させた薄膜抵抗体と電極との接続を行うことができる。

【0022】その際、請求項6に記載の発明においては、バリアメタルのパターニング工程の後に、薄膜抵抗体上をライトエッチングし、このライトエッチング後に薄膜抵抗体をケミカルドライエッチングするようにしている。従って、バリアメタルのエッチング残りによる導通不良等を確実になくした薄膜抵抗体の形成を行うことができる。

【0023】なお、上記の薄膜抵抗体を形成する工程としては、請求項7に記載の発明のように、Cr及びSiを含む化合物からなる薄膜抵抗体を形成する工程とすることができる。

【0024】

【実施例】以下、本発明を図に示す実施例について説明する。図1、図2は本発明の第1実施例を示す薄膜抵抗体を有する半導体装置の製造方法を示す各工程毎の断面図である。まず、図1(A)に示すように、シリコンの半導体基板1に、図に示すような半導体素子を形成した後、基板1の表面に絶縁膜としてのシリコン酸化膜2を形成する。そして、コンタクトホールをウェットエッチングにより形成する(図1(B))。このウェットエッチングは、通常のウェットエッチングと同様、 $\text{HF}:\text{N H}_4\text{F}=1:6$ のエッチング液を用いて行う。次に、薄膜抵抗体としてのCrSiN膜3をスパッタリングにて約150Å堆積し、さらにバリアメタルとしてのTiW膜4を形成する(図1(C))。そして、ホトレジスト5を形成した後、抵抗領域を残すようにTiW膜4をウェットエッチングによりパターニングする(図1(D))。

【0025】続いて、CrSiN膜3を、ホトレジスト5およびTiW膜4をマスクとしてケミカルドライエッチングによりパターニングする(図2(A))。具体的には、 CF_4 と酸素をケミカルドライエッチング装置とよばれるドライエッチング装置にそれぞれ流量40SCCM、360SCCM導入し、圧力30Pa、パワー500Wでプラズマを発生させ、エッチング時間260秒で、酸化膜2上のCrSiN膜3をエッチングする。

【0026】なお、通常のドライエッチングは、プラズマとラジカルによる物理的エッチングと化学的エッチングの両方によるものであるのに対して、ケミカルドライエッチングはラジカルによる化学反応を用いた化学的エッチングによるものである。そして、ホトレジスト5を除去した後、図2(B)に示すように、コンタクトホー

ルを介して半導体素子とCrSiN膜3等を電氣的に接続する、配線としてのA1電極6および保護膜（例えば、PSG膜とプラズマ窒化膜の2層構造のもの）7を形成し、半導体装置を構成する。

【0027】従って、この第1実施例によれば、コンタクトホール形成後に薄膜抵抗体としてのCrSiN膜3をケミカルドライエッチング法によりエッチングしているから、そのケミカルドライエッチングによる化学反応にてコンタクト領域へのダメージなくCrSiN膜3の形成を行うことができる。次に、本発明の第2実施例について説明する。

【0028】この第2実施例は、配線パターンの微細化への対応として、コンタクトホールの加工をドライエッチングにより行うようにしたものである。すなわち、図1（B）に示す工程に代えて、図3（A）に示す工程により、コンタクトホールをドライエッチングにより形成する。例えば、CHF₃ / C₂F₆ / He系ガスを用い、ガス流量、RFパワーを適宜設定してプラズマエッチングする。

【0029】さらに、このエッチング後、900°C前後でアニールし、図3（B）に示すように、コンタクトホール上部に丸みを付ける。この丸みによりA1電極6のステップカバレッジを良好にすることができる。この後は、図1（C）以降に示した工程を行う。この第2実施例によれば、上記第1実施例と同様、ダミーコンタクトの形成をなくして工程の簡素化を図ることができるとともに、コンタクトホールの加工をドライエッチングにより行って配線パターンの微細化を図ることができ、さらにCrSiN膜3の形成前にコンタクトホールのアニールをしているため、そのアニールでCrSiN膜3の特性が変化を防止することができる。

【0030】次に、第3実施例について説明する。上記第1又は第2実施例に対し、図1（D）に示すTiW膜4をウェットエッチングにてパターニングを行った後、図2（A）のCrSiN膜3をケミカルドライエッチングした時、CrSiN膜3のドライエッチングが酸化膜2まで到達せずエッチングすべき領域にCrSiN膜3が残ってしまい、導通不良を生じるという問題が生じた。この問題について検討してみると、TiW膜4のウェットエッチング時にエッチング残りが生じ（TiまたはWの酸化物が残っているものと推定される）、これによりその後のCrSiN膜3のエッチングがうまくいかず、CrSiN膜3が残ってしまったことに起因してい

ることが判明した。

【0031】そこで、この第3実施例では、図1（D）と、図2（A）の工程の間に、ライトエッチング工程を付加している。すなわち、H₂O₂ / H₂O / NH₄OH = 100 : 100 : 5のエッチング液を用い、15秒間の浸漬によりライトエッチングを行う。このライトエッチング工程により、TiW膜4のエッチング残差を除くことができる。従って、CrSiN膜3のドライエッチングを確実に酸化膜2まで到達させることができ、上記した導通不良の問題を解決することができた。

【0032】なお、上述した第1～第3実施例において、薄膜抵抗体としては、CrSiN膜3を用いるものを示したが、CrSi膜等のその他のCr及びSiを含む化合物からなる薄膜でもよい。また、バリアメタルとしては、TiW膜4以外の、チタンを主成分とするチタン合金等のチタン系材料を用いるようにしてもよい。

【図面の簡単な説明】

【図1】本発明の第1実施例を示す薄膜抵抗体を有する半導体装置の製造方法のうちTiW膜4をパターニングするまでの各工程を示す断面図である。

【図2】図1に続き、半導体装置を構成するまでの各工程を示す断面図である。

【図3】本発明の第2実施例を示す部分的な工程を示す断面図である。

【図4】従来の薄膜抵抗体を有する半導体装置の製造方法のうちTiW膜4をパターニングするまでの各工程を示す断面図である。

【図5】図4に続き、半導体装置を構成するまでの各工程を示す断面図である。

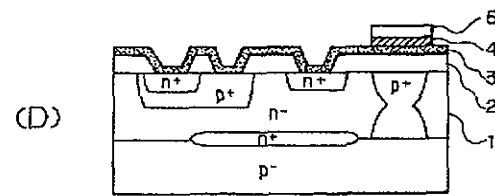
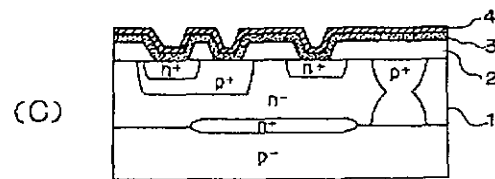
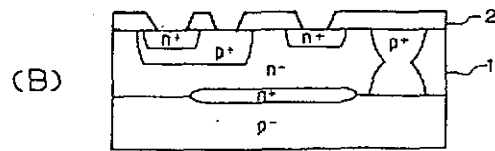
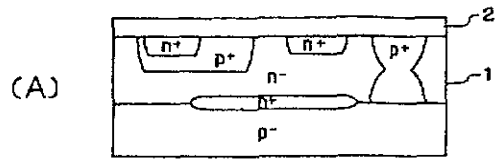
【図6】従来の製造方法によりコンタクトホールを形成する場合の問題点を説明するための説明用の断面図である。

【図7】アニールによりCrSiN膜3の特性が変化してしまうという問題点を説明するためのアニール温度と温度係数の関係を示す特性図である。

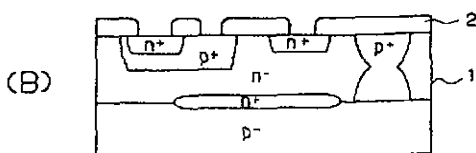
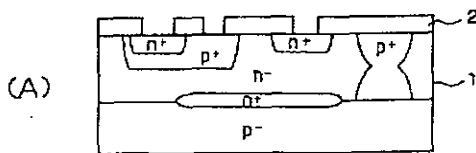
【符号の説明】

- 1 半導体基板
- 2 絶縁膜としての酸化膜
- 3 薄膜抵抗体としてのCrSiN膜
- 4 バリアメタルとしてのTiW膜
- 6 A1電極
- 7 保護膜
- 1

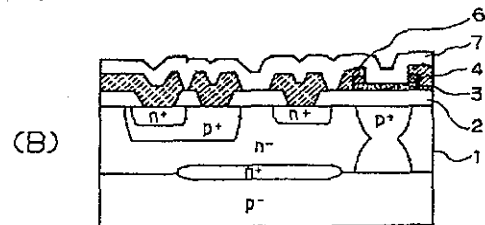
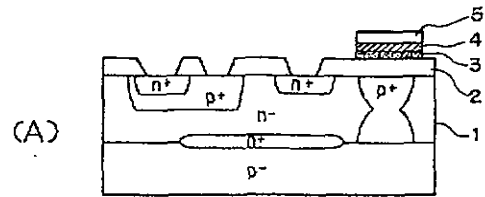
【図1】



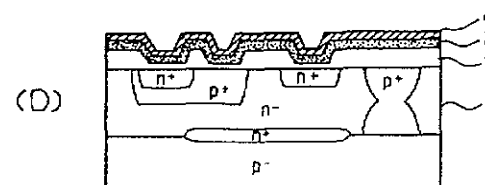
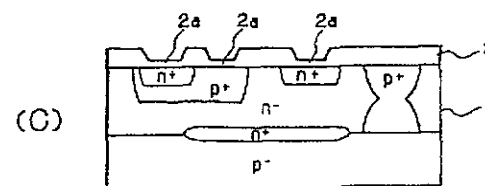
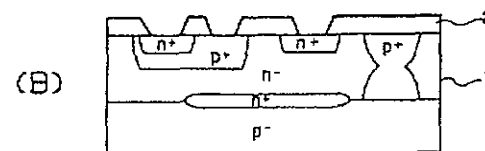
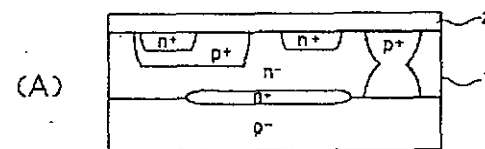
【図3】



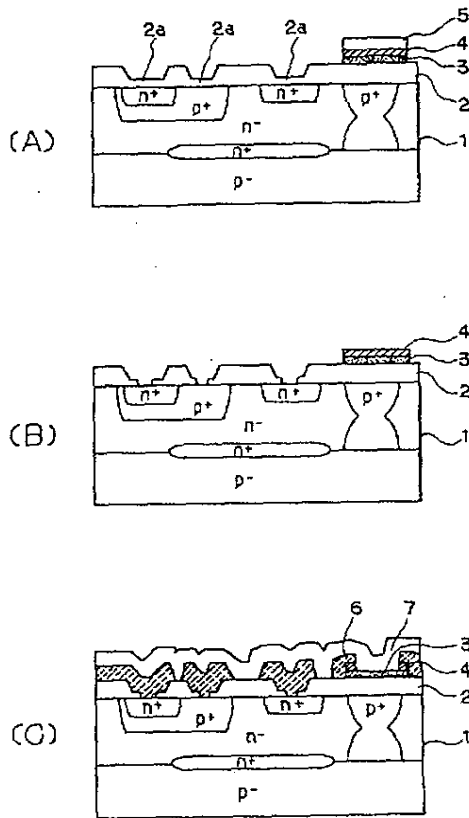
【図2】



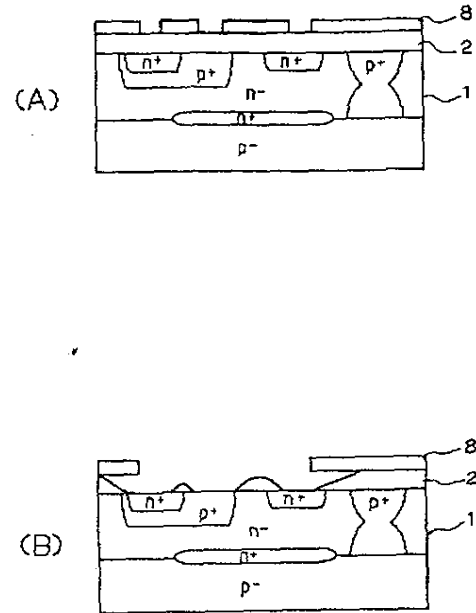
【図4】



【図5】



【図6】



【図7】

